

## (19) JAPANESE PATENT OFFICE (JP)

## (12) Publication of Unexamined Patent Application (KOKAI) (A)

(11) Japanese Patent Application Kokai Number: **S61-30099**

(43) Kokai Publication Date: February 12, 1986

**BEST AVAILABLE COPY**(51) Int. Cl.<sup>4</sup>

Identification Symbol

JPO File No.

H 05 K 3/46

6679-5F

Request for Examination: Not requested

Number of Inventions: 1

(3 pages total)

(54) Title of the Invention: **MULTILAYER WIRING BOARD**(21) Application Number: **S59-150914**

(22) Filing Date: July 20, 1984

(72) Inventor: Tatsuo Inoue  
c/o NEC Corporation  
5-33-1 Shiba, Minato-ku, Tokyo

(71) Applicant: NEC Corporation  
5-33-1 Shiba, Minato-ku, Tokyo

(74) Agent: Masaki Yamakawa, Patent Attorney, and two others

---

Translated by OSTRANS, LLC  
Phone: 800-803-9896

*Japanese Patent Application Kokai Number: S61-30099*

## SPECIFICATION

### 1. Title of the Invention

#### MULTILAYER WIRING BOARD

### 2. Claims

A multilayer wiring board in which a thin film multilayer wiring part having thin film wiring is provided above a laminated ceramic wiring board that is formed by laminating a plurality of ceramic green sheets having conductor printed wiring and through-hole wiring, wherein a resin film is formed between said laminated ceramic wiring board and said thin film multilayer wiring part, and a thin film-form ground wiring pattern for correcting the characteristic impedance of said thin film wiring is formed on this resin film.

### 3. Detailed Description of the Invention

#### (Technical Field of the Invention)

The present invention relates to a multilayer wiring board that is suitable for use in an electronic device such as a large computer.

#### (Prior Art)

In general, a high density and a high speed of wiring are simultaneously required in an electronic device such as a large computer in which high-speed high-volume processing is required.

Conventionally, in electronic devices of this type, as is shown in Figure 1, a multilayer wiring board in which a thin film multilayer wiring part 14 that is formed by laminating insulating thin films 10 and 11 having thin film fine wiring 7 and 8 and via-hole wiring 9 and an insulating thin film 13 having component attachment terminals 12 is provided on a laminated ceramic wiring board 6 that has conductor printed wiring consisting of ground wiring 1 and power supply wiring 2, connection pads 3, and through-hole wiring 4 and that is formed by laminating a plurality of ceramic green sheets 5 has been used as a device satisfying the above-mentioned requirements. Here, the speed can be further increased in cases where a resin material with a low dielectric constant is used as an interlayer insulating material for the multilayer wiring. Furthermore, in this figure, 15 indicates terminal pin connection pads, and 16 indicates terminal pins.

In a multilayer wiring board thus constructed, however, because the distance between the thin film wiring 7 and 8 on the laminated ceramic wiring board 6 and the ground wiring 1 is affected by the thicknesses of the ceramic green sheets 5, the following drawback was encountered: namely, when the thicknesses of the ceramic green sheets 5 vary, the characteristic impedance of the thin film wiring 7 and 8 varies with respect to the design value. Furthermore,

*Japanese Patent Application Kokai Number: S61-30099*

because the laminated ceramic wiring board 6 is formed by firing the ceramic green sheets, only about 0.1 to 0.3 mm of reduction in thickness is normally possible, so that the characteristic impedance cannot be reduced much. As a result, the characteristic impedance of the thin film wiring 7 and 8 is not reduced to a specified value, so that there are drawbacks such as impedance mismatch with circuit elements (not shown in the figure) connected to the wiring 7 and 8 and deterioration of crosstalk characteristics.

Therefore, as is shown in Figure 2, a multilayer wiring board is also available in which the characteristic impedance of the thin film wiring 7 and 8 is adjusted by polishing the surface of the laminated ceramic wiring board 6 and forming a ground wiring net 17 on this surface by means of a thin film method. However, the roughness of the polished ceramic surface is normally approximately 0.2  $\mu\text{mRa}$  at the minimum, so that this unevenness causes the problem of occurrence of etching residuals in the etching process when the ground wiring net 17 is formed.

#### (Outline of the Invention)

The present invention was devised in light of such circumstances, and [the object thereof is] to provide a multilayer wiring board in which precise ground wiring patterning is possible with an extremely simple construction that is such that a thin film-form ground wiring pattern for correcting the characteristic impedance of thin film wiring is formed on a resin film that is provided between a laminated ceramic wiring board and a thin film multilayer wiring part, thus making it possible to set an optimal value of the characteristic impedance of the thin film wiring. The construction or the like of this multilayer wiring board is described in detail below using embodiments shown in the figures.

#### (Embodiments)

Figure 3 is a partially sectional perspective view showing the multilayer wiring board of the present invention. In this figure, members that are the same as those in Figures 1 and 2 are labeled with the same symbols below, and a detailed description is omitted. In this figure, the element indicated with symbol 21 is a polyimide resin film, and is formed between the above-mentioned laminated ceramic wiring board 6 and the above-mentioned insulating thin film 10 so as to cover the surface of this board 6. Connection pads 22 and a thin film-form ground wiring pattern 23 for correcting the characteristic impedance of the above-mentioned thin film wiring 7 and 8 are formed on this resin film 21. The characteristic impedance of the thin film wiring 7 and 8 can be adjusted by electrical capacitance created by this ground wiring pattern 23 and the above-mentioned thin film wiring 7 and 8.

Because the ground wiring pattern 23 is formed on the resin film 21, i.e., directly beneath the thin film multilayer wiring part 14, in the multilayer wiring board thus constructed, the characteristic impedance of the thin film wiring 7 and 8 is determined by the dimensions of the thin film wiring 7 and 8 itself, the thickness and material of the insulating thin films 10 and 11,

*Japanese Patent Application Kokai Number: S61-30099*

and the dimensions of the ground wiring pattern 23. In this case, the thickness of the insulating thin films 10 and 11 can be set with a high degree of freedom because the thin film wiring 7 and 8 is formed by the thin film method. Furthermore, if the insulating thin films 10 and 11 are formed from an organic polymer material, the dielectric constant is 3 to 7, and the film thickness is 1 to 50  $\mu\text{m}$ ; thus allowing an optimal value of the characteristic impedance of the thin film wiring 7 and 8 to be determined from a wide range of values.

Moreover, because the ground wiring pattern 23 is formed by the thin film method on the smooth surface of the polyimide resin film, precise patterning with no etching residual in the etching process is possible at the time of the pattern formation. As a result, the characteristic impedance can be controlled with a high degree of precision.

In the present invention, furthermore, even if the ground wiring pattern 23 is not DC-grounded, if it is AC-grounded, a similar characteristic impedance adjusting effect is obtained. Therefore, the ground wiring pattern 23 may also be connected to the power supply wiring 2 instead of the ground wiring 1.

In addition, in the present invention, crosstalk characteristics can be improved by forming the ground wiring pattern 23 in the form of a net as shown in Figure 4, and making only the line width of the portions of the net where the two layers of wiring 7 and 8 cross greater than the other portions.

#### (Effect of the Invention)

As is described above, in the present invention, a resin film is formed between the laminated ceramic wiring board and thin film multilayer wiring part, and a thin film-form ground wiring pattern for correcting the characteristic impedance of the thin film wiring is formed on this resin film. Therefore, precise patterning is possible without any occurrence of etching residuals at the time of pattern formation as seen in the past, so that it is possible to set an optimal value of the characteristic impedance of the thin film wiring.

#### 4. Brief Description of the Drawings

Figure 1 and Figure 2 are sectional views showing conventional multilayer wiring boards. Figure 3 is a partial sectional perspective view showing the multilayer wiring board of the present invention. Figure 4 is a plan view showing another embodiment.

1... Ground wiring; 2... Power supply wiring; 4... Through-hole wiring; 5... Ceramic green sheets; 6... Laminated ceramic wiring board; 7, 8... Thin film wiring; 14... Thin film multilayer wiring part; 21... Resin film; 23... Ground wiring pattern

Patent Applicant: NEC Corporation

Agent: Masaki Yamakawa (and two others)

Japanese Patent Application Kokai Number: S61-30099

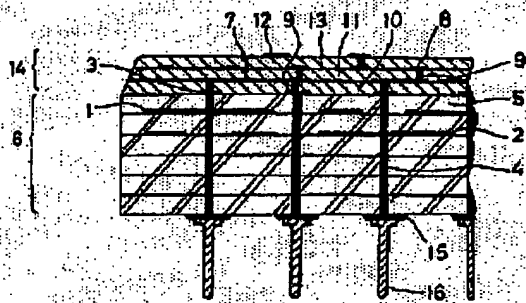


Figure 1

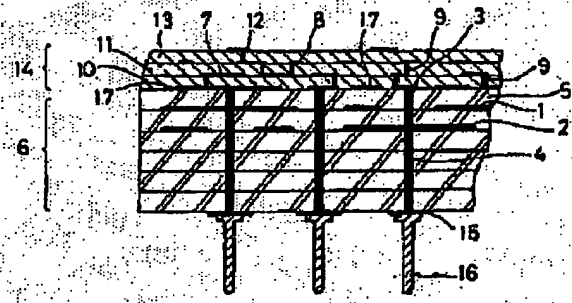


Figure 2

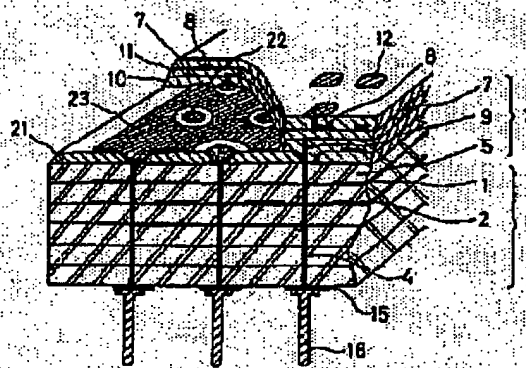


Figure 3

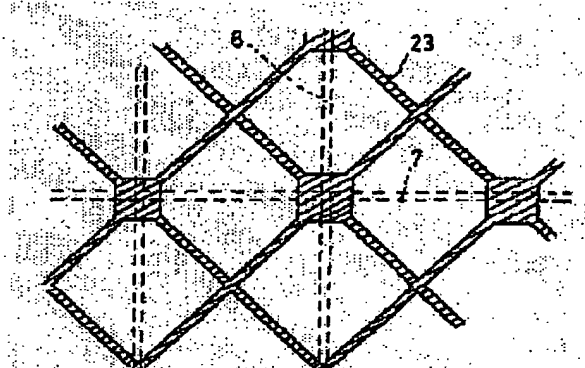


Figure 4

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭 61-30099

(43) 公開日 昭和61年 (1986) 2月12日

(51) Int. Cl. <sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H05K 3/46

審査請求 \*

(全3頁)

(21) 出願番号 特願昭59-150914

(22) 出願日 昭和59年 (1984) 7月20日

(71) 出願人 999999999

日本電気株式会社

\*

(72) 発明者 \*

\*

(54) 【発明の名称】 多層配線基板

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

(2)

特開昭61-30099

1

2

## 【特許請求の範囲】

導体印刷配線およびスルーホール配線を有する複数のセラミックグリーンシートを積層してなるセラミック積層配線基板の上方に薄膜配線を有する薄膜多層配線部が設けられた多層配線基板において、前記セラミック積層配線基板と前記薄膜多層配線部間に樹脂膜を形成すると共に、この樹脂膜上に前記薄膜配線の特徴インピーダンスを補正するための薄膜状接地配線パターンを形成したことを特徴とする多層配線基板。

(3)

特開昭61-30099

3

4

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報(A) 昭61-30099

⑬ Inf. Cl. \*

H 05 K 3/45

識別記号

庁内整理番号

5579-5F

⑭ 公開 昭和61年(1986)2月12日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 多層配線基板

⑯ 特 願 昭59-150914

⑰ 出 願 昭59(1984)7月20日

⑱ 発 明 者 井 上 龍 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

## 明 細 書

## 1. 発明の名称

多層配線基板

## 2. 特許請求の範囲

導体印刷配線およびスルーホール配線を有する複数のセラミックグリーンシートを積層してなるセラミック積層配線基板の上方に導体配線を有する導体多層配線部が設けられた多層配線基板において、前記セラミック積層配線基板と前記導体多層配線部間に樹脂膜を形成すると共に、この樹脂膜上に前記導体配線部の特長インパダンスを補正するための導体快速配線パターンを形成したことを特徴とする多層配線基板。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明は、大型コンピュータ等の電子機器に使用して好適な多層配線基板に関する。

(従来技術)

一般に、高速大容量処理が求められる大型コンピュータ等の電子機器においては、配線の高密度

化および高速化が同時に要求されている。

従来、この種の電子機器には、第1図に示すように接地板1、電源配線2の導体印刷配線、接線パッド3およびスルーホール配線4を有し、複数のセラミックグリーンシート5を積層してなるセラミック積層配線基板6上に、設けられた導体配線7-8、ビアホール配線9を有する絶縁層10、11および部品取付端子12を有する導体多層配線13を積層してなる導体多層配線部14が設けられた多層配線基板が前記の要求を満足させるものとして採用されている。ここで、多層配線の層間絶縁材として誘電率が低い樹脂材料を用いた場合にはより一層高速化が可能である。なお、同図において15は端子ピン接線パッド、16は端子ピンである。

ところが、このように構成された多層配線基板においては、セラミック積層配線基板6上の導体配線7、8と接地板1との距離がセラミックグリーンシート5の厚さによって左右されるため、導体配線7、8の特性インパダンスはセラミ



(4)

特開昭61-30099

5

6

## 特開昭61-30099(2)

クグリーンシート5の厚さがばらつくこと、設計値に対しばらつくという欠点があった。また、セラミック積層配線基板6はセラミックグリーンシートを焼成して形成するため、通常、1〜0.3mm程度しか薄くならず、特性インピーダンスをあまり低くすることができなかった。この結果、導線配線7、8の特性インピーダンスが所定の値まで下がらず、これら配線7、8と接続する回路素子（図示せず）とのインピーダンス不整合があったり、クロストーク特性が悪化したりするという欠点があった。

そこで、第2図に示すようにセラミック積層配線基板6の表面を研磨し、これに腐蝕法により接地配線網17を形成して導線配線7、8の特性インピーダンスを調整する多層配線基板もあるが、セラミック積層基板の厚さは通常最小でも0.2mm程度であり、その凹凸により接地配線網17形成時のエッチング工程でエッチング残りが生じるという不都合があった。

（発明の概要）

る。この接地配線パターン23と導線配線7、8とによる寄生容量によって導線配線7、8の特性インピーダンスを調整することができる。

このように形成された多層配線基板においては、接地配線パターン23が樹脂層21上すなわち導線多層配線部14の直下に形成されているため、導線配線7、8の特性インピーダンスが導線配線7、8自体の寸法と絶縁層10、11の厚さ、材質と接地配線パターン23の寸法により決定される。この場合、絶縁層10、11の厚さは導線配線7、8が腐蝕法により形成されるため、かなり自由に設定することができる。また絶縁層10、11を有機高分子材料で形成すると、誘電率が3〜7で厚さが1〜50mmとなり、導線配線7、8の最適な特性インピーダンス値を幅広い値の中から決定することができる。

また、接地配線パターン23はポリイミド樹脂層の粗らかな表面上に腐蝕法により形成されるため、パターン形成時のエッチング工程でエッチング残りが無い滑らかなパターン化が可能となり、

本発明はこのような事情に鑑みなされたもので、セラミック積層配線基板と導線多層配線部間に設けた樹脂層上に導線配線の特性インピーダンスを補正するための腐蝕法接地配線パターンを形成するという点で簡単な構造により、精密な接地配線パターン化ができ、導線配線の最適な特性インピーダンス値を決定できる多層配線基板を提供するものである。以下、その構成等を図に示す実施例によって詳細に説明する。

（実施例）

第3図は本発明に係る多層配線基板を示す一部被開斜視図で、同図以下において第1図および第2図と同一の部材については同一の符号を付し、詳細な説明は省略する。同図において、符号21で示すものはポリイミド系の樹脂層で、前記セラミック積層配線基板6の表面を覆うようにこの基板6と前記絶縁層10間に形成されている。この樹脂層21上には接続パッド22および両端導線配線7、8の特性インピーダンスを補正するための腐蝕法接地配線パターン23が形成されてい

この結果、特性インピーダンスを高精度にコントロールすることができる。

なお、本発明は接地配線パターン23が直接的に接地されていないとしても、交差的に接地されていれば同様の特性インピーダンス調整効果を有するので、接地配線パターン23は接地配線1の代わりに電源配線2と接続されていてもよい。

また、本発明は接地配線パターン23を第4図に示すように網目状に形成し、2つの配線層の配線7、8が交差する個所だけ網の網幅を他の部分より太くしてクロストーク特性を向上させることができる。

（発明の効果）

以上説明したように本発明によれば、セラミック積層配線基板と導線多層配線部間に樹脂層を形成すると共に、この樹脂層上に導線配線の特性インピーダンスを補正するための腐蝕法接地配線パターンを形成したので、従来のようにパターン形成時のエッチング残りを生じることが無く滑らかなパターン化が可能となり、導線配線の最適な特性

(5)

特開昭61-30099

特開昭61-30099(2)

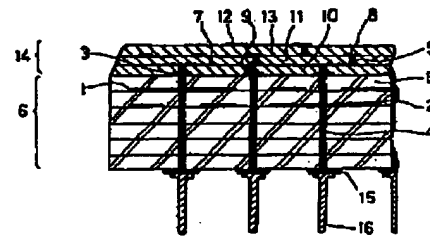
インピーダンス値を決定することができる。

## 4. 図面の簡単な説明

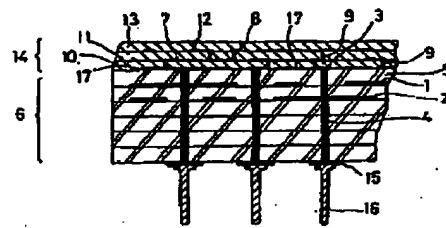
第1図および第2図は従来の多層配線基板を示す断面図、第3図は本発明に係る多層配線基板を示す一部縦断視図、第4図は他の実施例を示す平面図である。

1・・・接地配線、2・・・電源配線、4・・・スルーホール配線、5・・・セラミックグリーンシート、6・・・セラミック積層配線基板、7、8・・・導電配線、14・・・導電多層配線部、21・・・樹脂層、23・・・接点配線パターン。

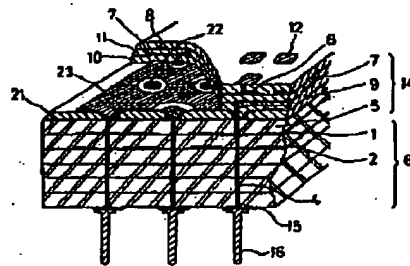
第1図



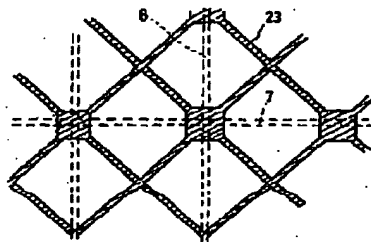
第2図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**